



TITLE:

<大学の研究・動向> 高度情報化社会を支える集積回路

AUTHOR(S):

小野寺, 秀俊; 小林, 和淑; 土谷, 亮

CITATION:

小野寺, 秀俊 ...[et al]. <大学の研究・動向> 高度情報化社会を支える集積回路. Cue 2006, 16: 8-11

ISSUE DATE:

2006-10

URL:

<https://doi.org/10.14989/57901>

RIGHT:

高度情報化社会を支える集積回路

情報学研究科 通信情報システム専攻 集積システム工学講座 大規模集積回路分野

教授 小野寺 秀 俊

助教授 小 林 和 淑

助手 土 谷 亮

1. はじめに

1959年に数個の素子の集合として誕生した集積回路（LSI）は、今や1億以上の素子を集積したシステムLSI（SoC: System-on-Chip）が開発されている。当研究室で1984年に設計したLSIは、ゲート長が $3\mu\text{m}$ であった。一方、2004年に設計したLSIでは 100nm （ $0.1\mu\text{m}$ ）であり、30分の1に微細化した（図1参照）。20年前のコンタクト穴の中に、インバータゲートが3個入る。このような集積度の劇的な向上はいわゆるムーアの法則として知られており、今後も同様のペースで続くことが期待されている。本稿では、まず、LSIの技術動向を概観し、その設計技術が直面する課題を説明する。ついで、当研究室における取り組みの幾つかを紹介する。

2. 集積回路の技術動向と課題

集積回路関連の産業界では、半導体技術ロードマップが定期的に作成されている。これは、中長期に渡る集積回路の発展動向と、それを可能にするための各種技術の開発目標をまとめたものである。このロードマップでは、2004年に 90nm であった技術世代（図1右）が、2016年には 22nm に縮小すると予想している。この世代で量産されるDRAMは、 16GB の容量を持っており、世界人口の2倍以上のトランジスタが1チップ上に集積化される。また、プロセッサのクロック周波数は 40GHz であり、ミリ波の領域に入っている。1クロックの周期は 25ピコ秒 しかなく、チップ内の信号（電磁波）は、1クロックでは約 4mm しか届かない。このような微細化・集積化トレンドを実現するためには、LSI設計技術に関して数多くの課題が存在する。微細化や大規模化に関係した本質的な問題としては、消費電力の増大、配線特性の劣化、製造性の劣化と素子特性ばらつきの増大が挙げられる。

消費電力の増大 LSIの低消費電力化は、これからのLSI設計における最重要課題といっても良い。電池駆動の携帯機器用LSIの低消費電力化はもちろん、据置き機器用LSIでも、消費電力の制約により集積度が制約される状態になりつつある。例えば、あるサーバー用プロセッサの消費電力は 130W である。チップ表面の熱密度は、ホットプレート^①の30倍以上になっている。プロセス技術や回路設計

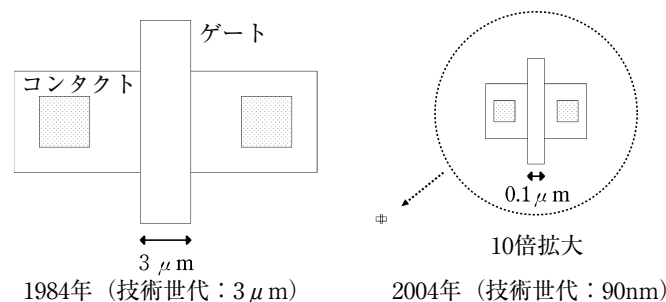


図1. 1984年と2004年における最小寸法トランジスタの比較

技術、アーキテクチャやシステム設計技術、ソフトウェア設計技術など、すべての技術階層における消費電力削減努力の積み重ねが重要である。

配線特性の劣化 トランジスタの微細化と共に、配線も微細化されている。微細かつ密集した配線では、配線抵抗と配線容量が増加し、配線における信号遅延の増大や、配線間クロストークノイズが発生する。特に、長距離配線における遅延時間の増加が深刻な問題となっている。現在は、長距離配線の途中にバッファを挿入し、配線1本あたりの長さを短く押さえる方法が用いられている。しかし、微細化と共に必要なバッファ数が急増しチップ面積や消費電力も増加する。

製造性の劣化と素子特性ばらつきの増加 現在、フォトリソグラフィ用光源は限界近くまで短波長化が進んでいるが、その波長は193nmである。現在の最先端プロセスは65nmで、波長の数分の1の寸法の加工を行っている。各種の解像度拡張技術を駆使して、ようやく加工しているのが現状であり、微細素子の製造性が劣化している。また、素子形状や不純物原子数のゆらぎなどによる素子特性のばらつきが増加している。従来は、素子特性の最悪値を用いて設計をしてきたが、ばらつき幅の拡大に伴いもはやワーストケースでは設計出来ない状況になってきた。ばらつきの統計的性質を考慮した設計技術や、ばらつきの補償、更には積極的に活用する設計技術が必要である。

3. 高性能集積回路の設計技術

前章で説明した課題に対する当研究室での取り組みの中から、回路設計における低消費電力化設計技術、チップ内高速信号伝送技術、再構成デバイスにおけるばらつき活用技術について説明する。

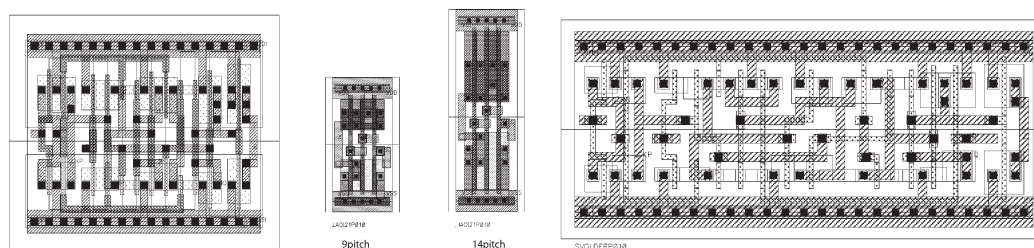


図2. 生成したスタンダードセルライブラリの例。左より：0.18 μm プロセスのDフリップフロップ、0.35 μm プロセスのAOIゲート（2種類）、0.13 μm プロセスのリセット機能付Dフリップフロップ

3.1 オンデマンドライブラリを用いた低消費電力回路設計技術

システムLSIは、スタンダードセルと呼ばれる規格化された論理ゲートのライブラリを用いて設計するのが一般的である。通常、このライブラリは製造プロセス毎に予め用意され、そのプロセスで製造される製品に共通に用いられる。しかし、設計対象の回路規模や要求特性は多岐に渡るため、望ましいライブラリは回路毎に異なる。そこで、設計対象毎に最適なライブラリをオンデマンドで生成することにより、無駄な電力消費のない高性能回路を設計する技術を開発し、実際のチップ試作によりその効果を実証した。更に、設計途中に個々の論理ゲートの最適化を行い、無駄な電力を極限まで削減する方法を開発した。本技術により、消費電力を約半分に削減することが可能である。現在、生成ライブラリの製造容易性を向上する技術の開発に取り組んでいる。

なお、本技術は、通常のスタンダードセルライブラリの開発にも適用可能で、品質の高いライブラリ

を短期間で設計できる。0.35 μm から 90nm に至る各種のプロセスでライブラリを作成した。このうち、0.35 μm と 0.18 μm のライブラリは一般に公開しており、国内の大学等で実際の設計に用いられている。自動生成したセルライブラリの一例を図 2 に示す。

3.2 チップ内高速信号伝送技術

従来から、チップ上の配線特性の劣化はチップ全体の性能を低下させると言われてきた。それに加え、近年マイクロプロセッサはマルチコア化の傾向にあり、チップ内で高速・大容量の通信を行なうことができる信号伝送技術の開発が求められている。この問題に対してはアーキテクチャから物理的な回路設計まで様々な検討が行なわれており、当研究室では物理的な設計技術とモデル化技術について検討している。

高速・大容量を実現する技術として考えられているのが、チップ内高速シリアル伝送である。例えばパラレルバスが USB や IEEE1394 によって置き換えられているように、通信のシリアル化によって高速化を実現した例は多い。そのため、チップ内でもシリアル化によって高速信号伝送が可能になると期待できる。これまで、チップ上では図 3 のようなパラレル伝送が行なわれてきた。しかし、この方



図 3. パラレル伝送のイメージ

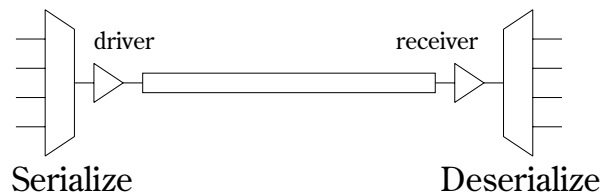


図 4. シリアル伝送のイメージ

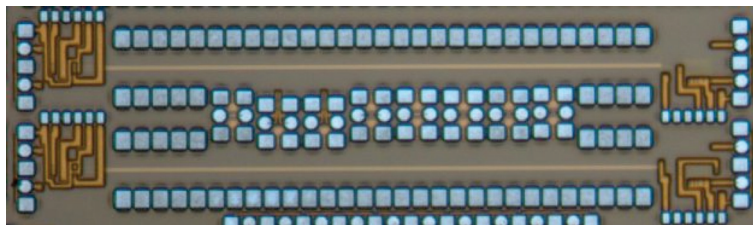


図 5. 90nm プロセスで試作した信号伝送回路（線路長 3mm）

式はノイズの影響や電源電圧のゆらぎなどの影響により各配線の同期が難しい。また、配線の面積も多く必要とする。これを図 4 のようにシリアル伝送にすることで高速化する。当研究室では、このシリアル通信の核となる配線、ドライバ回路、レシーバ回路を 90nm プロセスを用いて試作し、実際に信号伝送を確認した。また、実際に試作を行なう一方で設計手法の確立を目指し、各要素のモデル化、最適化技術についても検討を進めている。

3.3 再構成デバイスにおけるばらつき活用技術

近年の 100nm 以下まで微細化された半導体製造プロセスにおいては、チップ内の特性ばらつきによる動作不良、歩留まりの低下などが深刻化している。基板バイアス制御など、回路側からばらつきによる速度の変動をキャンセルする技術に関する研究も盛んである。当研究室では、チップ内ばらつきをそのまま利用するという逆転の発想を元に、研究を進めている。FPGA（プログラム可能なハード

ウェア）に代表される再構成回路は、NRE（初期）コストの増大とともに利用範囲を広げ、据え置きの民生品のみならず携帯電話などにもその利用が進んでいる。ある機能を持つ回路をFPGA上に実現するさい、通常はすべてのFPGAチップにおいて回路の構成情報は同じである。しかし、同じ機能の回路を実現する回路の構成情報は一つだけではない。各チップの特性ばらつきに応じて速度を最大化するように構成情報を作成すれば、各FPGAの動作速度は向上し、結果として歩留まりも向上する。

この考えに基づき、90nmプロセスにおいてチップを試作し、その動作を確認した。図6は、試作した2個のLSIのチップ写真である。左は、チップ内ばらつきを測定するためのLSI（LUTアレイ）であり、右はばらつき測定機構を組み込みかつ完全なFPGAとして動作するLSIである。



図6．（右）LUTアレイLSI、（左）ばらつきを測定可能なFPGA

4. むすび

1965年、集積規模は年率約2倍で増加するとGordon Mooreは予測した。これは、1975年までの予測として述べられたものであるが、同様の増加は現在も続いている。本稿では、設計技術分野に焦点をあて、大規模・微細化に伴う技術課題として、消費電力の増大、配線特性の劣化、製造性の劣化と素子特性ばらつきの増加をとり上げ、当研究室における取り組み内容を説明した。

集積規模の増加により、集積回路はシステムを構成する部品から、システムそのものを実現するシステムLSIへと変化した。このような集積回路の設計においては、どのようなシステムを開発するのかという本質的な問題もある。集積回路はあらゆるものに埋め込まれ、社会の多様化、分散化、ネットワーク化を促進する。集積回路が実現するサービスは、社会、経済、文化さらには人間の教育や生き方にまで大きな影響を及ぼす。集積回路の開発においても、どのような社会を作っていくのかという問題意識を持つことが大切である。